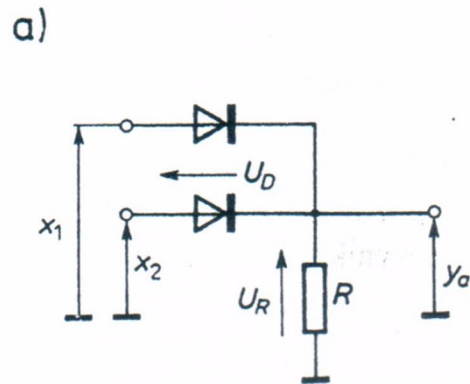


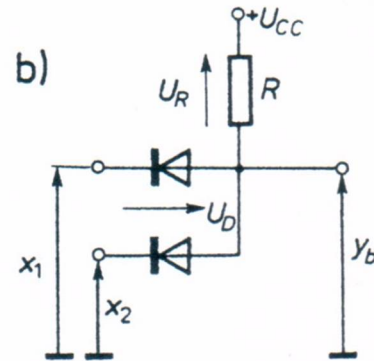
Budowa bramek logicznych

Technologia DTL



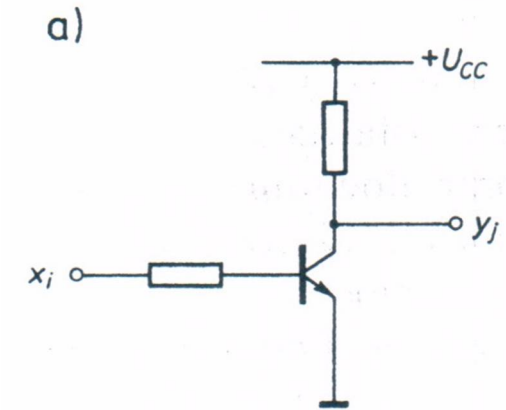
$$H = U_{CC} + (U_{CC} - 0,7) V$$

$$L = 0 V$$



$$H = U_{CC} + (U_{CC} - U_R) V$$

$$L = (0 + 0,7) V$$



c)

x_1	x_2	y_a	y_b
L	L	L	L
L	H	H	L
H	L	H	L
H	H	H	H

d)

x_1	x_2	y_a	y_b
0	0	0	0
0	1	1	0
1	0	1	0
1	1	1	1

1 = H, 0 = L

e)

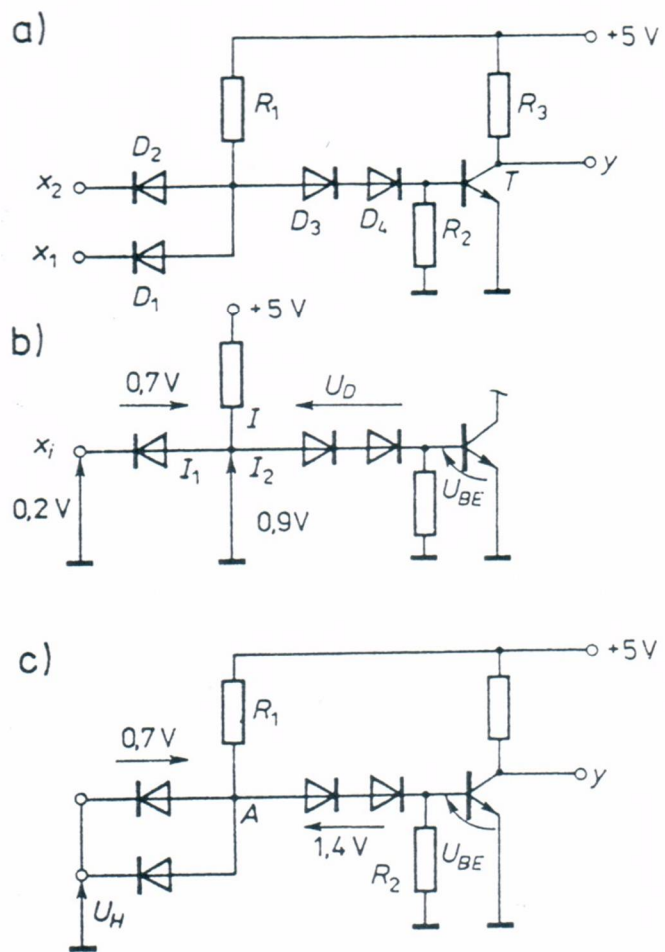
x_1	x_2	y_a	y_b
1	1	1	1
1	0	0	1
0	1	0	1
0	0	0	0

1 = L, 0 = H

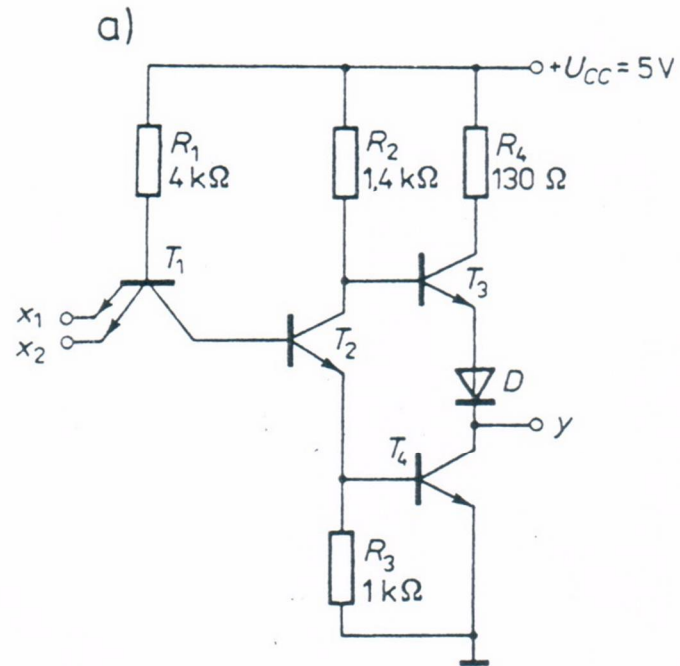
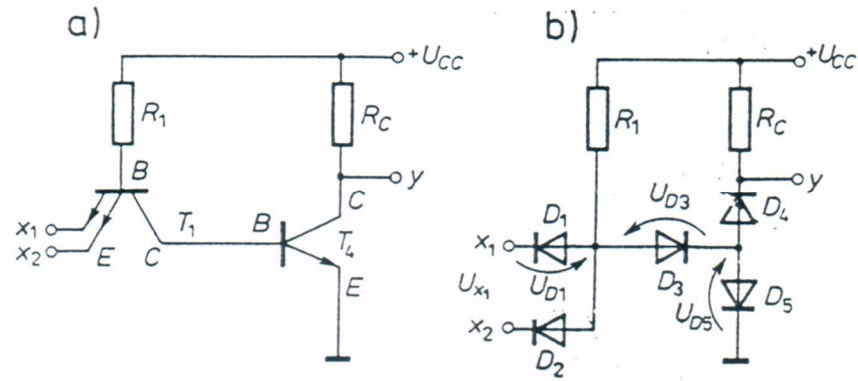
b)

x_i	y_j
0 V	U_{CC}
U_{CC}	0,2 V

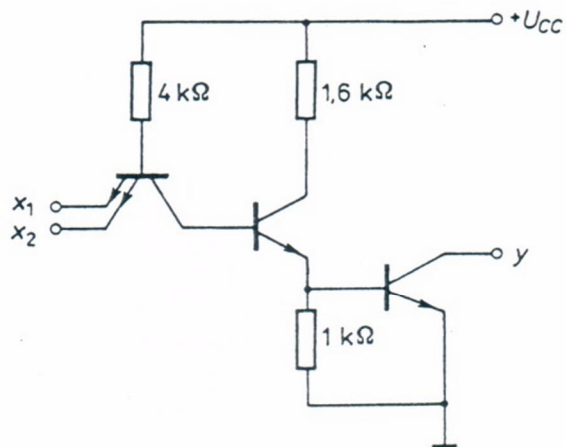
Technologia DTL



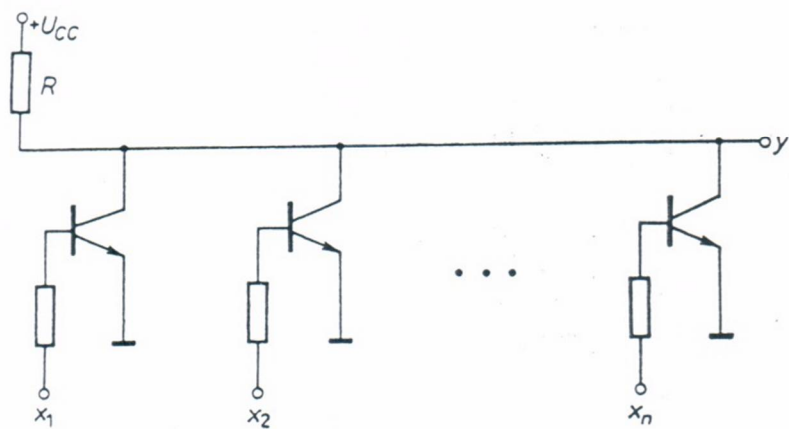
Technologia TTL



Technologia TTL



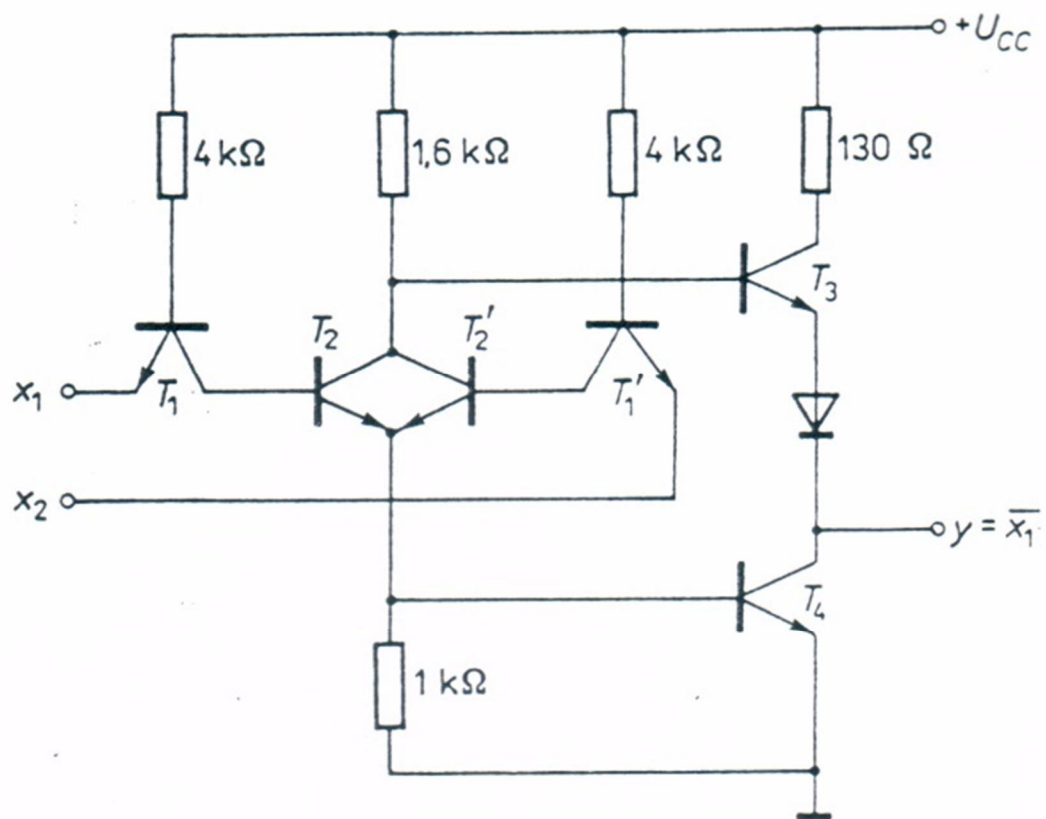
Bramka z otwartym kolektorem



Suma logiczna „na drucie”

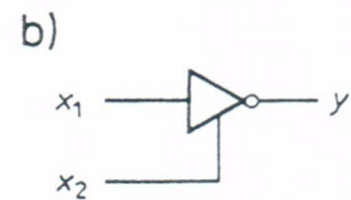
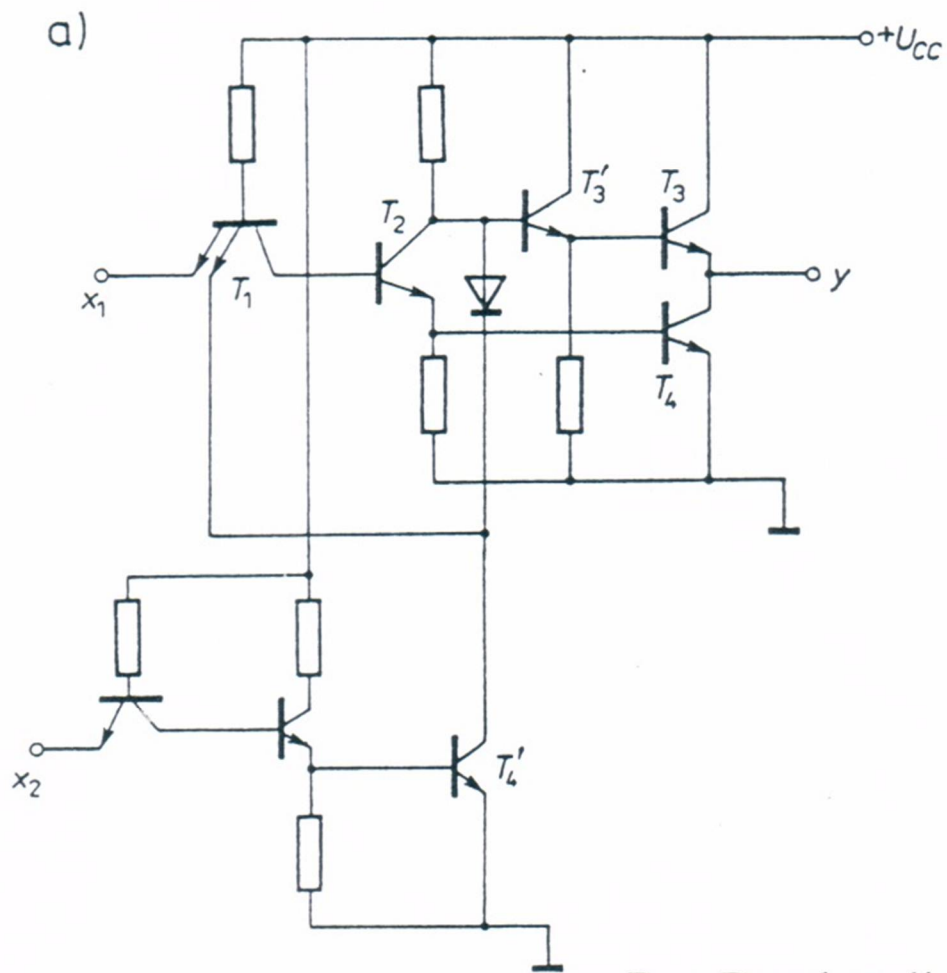
Technologia TTL

Dwuwejściowa bramka NOR



Technologia TTL

Bramka trójstanowa

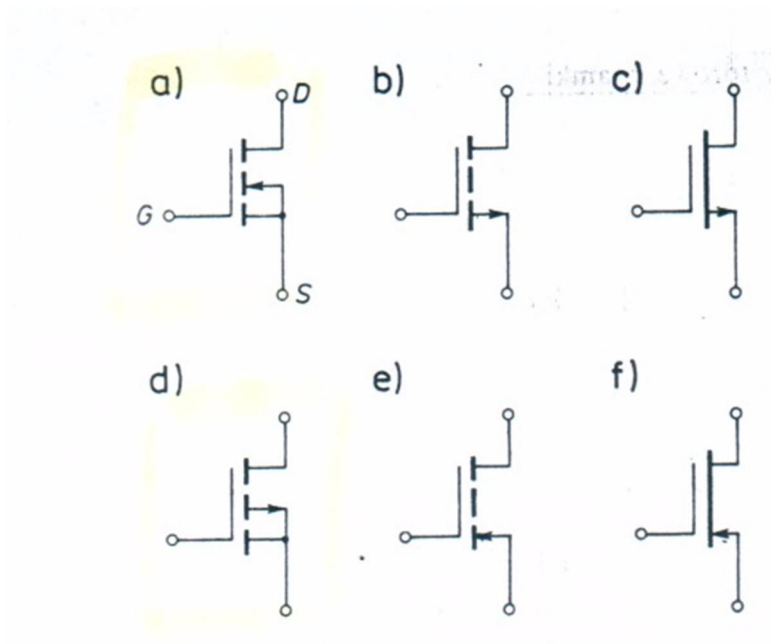


c)

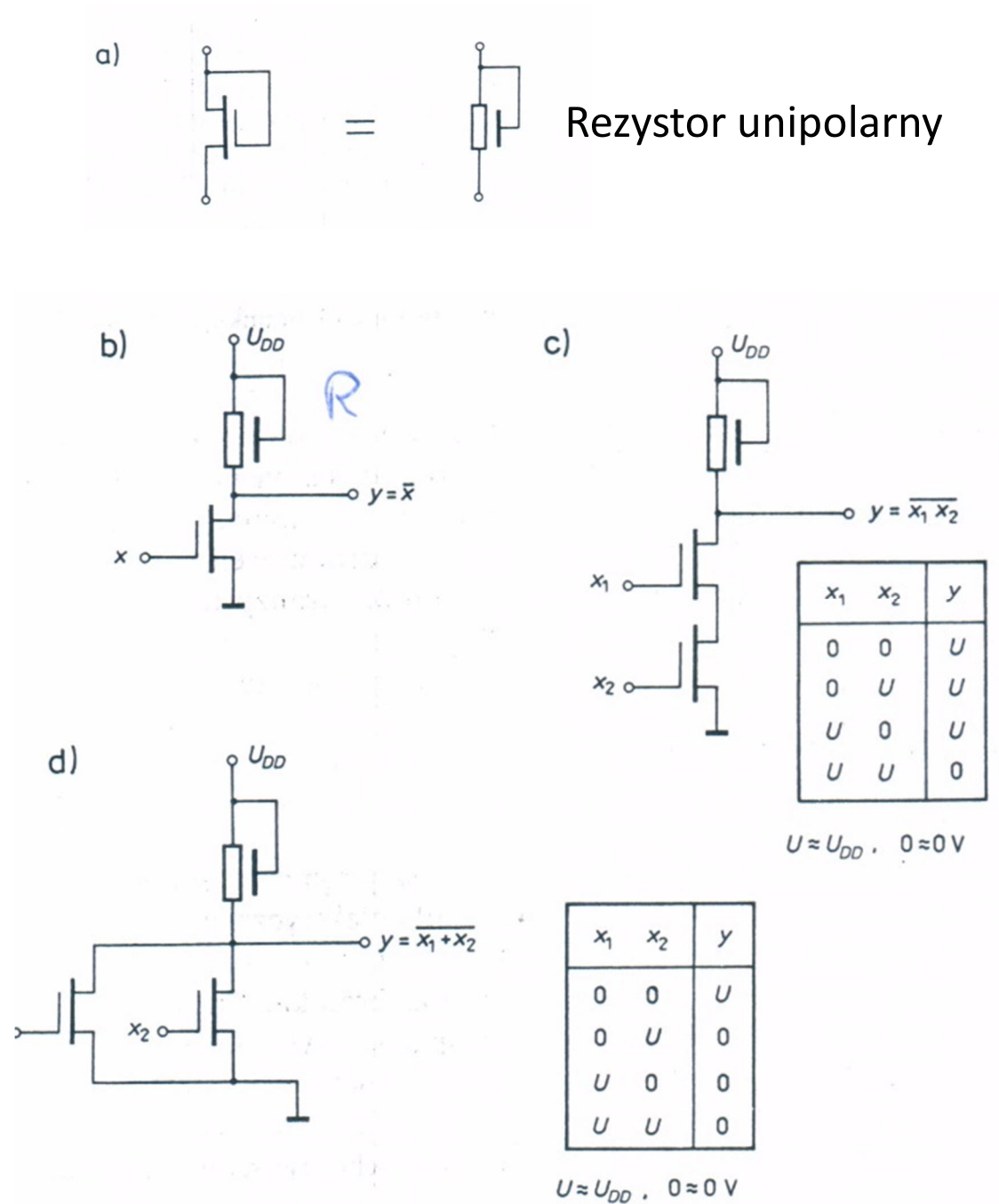
x_1	x_2	y
x_1	0	\bar{x}_1
x_1	1	trzeci stan

Technologia MOS

Symbole tranzystorów MOS



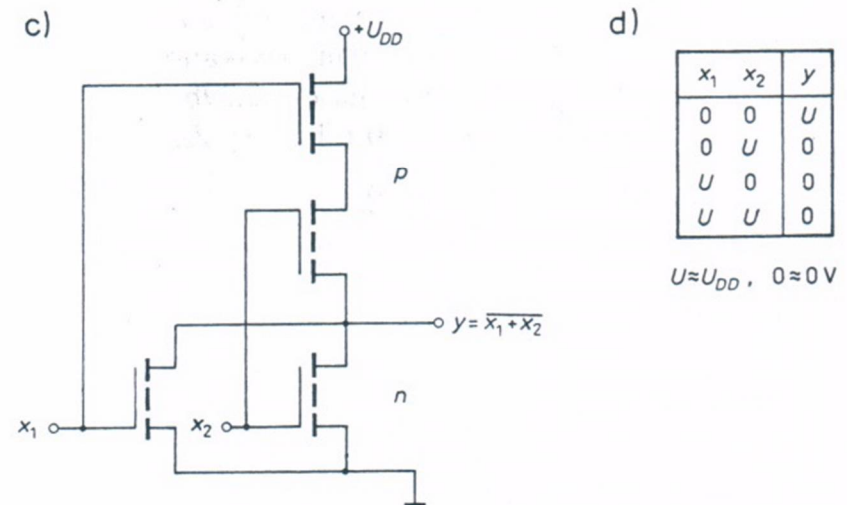
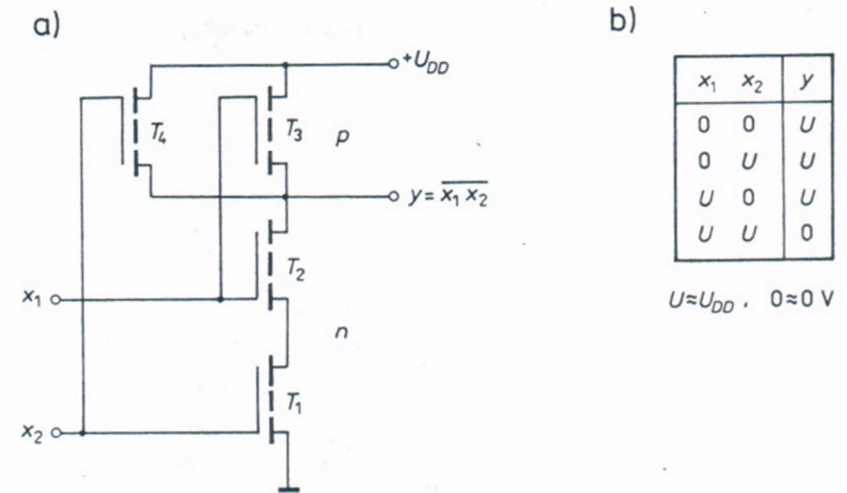
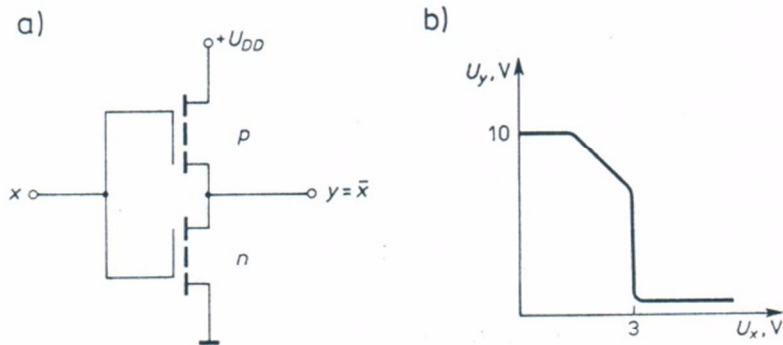
Realizacja funkcji logicznych



Technologia MOS

Bramki komplementarne MOS

Realizacja funkcji logicznych NAND i NOR



Porównanie różnych technologii wykonania bramek logicznych

Tablica

Porównanie podstawowych parametrów wybranych technik scalonych

Technologia	Czas propagacji t_p ns	Częstotliwość maksymalna kHz	Pobór mocy jednej bramki P mW	Współczynnik jakości $A = P\tau_p$ pJ	Podatność integracji LSI
TTL	10	35	10	100	bardzo mała
Schottky'ego TTL	3	120	20	60	bardzo mała
Schottky'ego TTL małej mocy	10	35	2	20	średnia
I ² L	50 ÷ 200	5	0,001	2	doskonała
ECL	1	500	50	50	mała
PMOS	100	5	0,5	50	doskonała
NMOS	50	10	0,4	20	doskonała
CMOS	60	10	0,0001	5	bardzo duża
CMOS/SOS	3	100	0,0001	1	doskonała